

PATENT ABSTRACTS OF JAPAN

B19

(11)Publication number : 62-092051
(43)Date of publication of application : 27.04.1987

(51)Int.Cl.

G06F 13/16
G06F 12/06

(21)Application number : 60-232423

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.10.1985

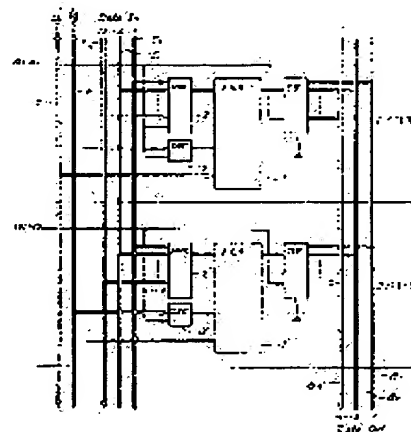
(72)Inventor : AIZAWA RYOICHI

(54) MEMORY DEVICE

(57)Abstract:

PURPOSE: To obtain a memory device which can easily increase the width of a data bus as necessary by providing a memory, plural data buses and a means which selects one of these data buses and connects it to the memory.

CONSTITUTION: Based on the contents of a signal SELM1, a multiplexer 2 and a driver 4 select one of the input data buses Data-In and the output data buses Data-Out respectively in terms of the first byte and connect these selected buses to a memory 1. While a multiplexer 2' and a driver 4' select two of the buses Data-In and Data-Out respectively for the second byte by the contents of a signal SELM2 and connect these selected buses to a memory 1'. Here the different memories and data buses receive the accesses. Thus the writing or reading actions are possible exactly at a time to memories. This ensures the effects of extension with data buses.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-92051

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)4月27日

G 06 F 13/16
12/06

6711-5B
6711-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリ装置

⑯ 特 願 昭60-232423

⑰ 出 願 昭60(1985)10月18日

⑱ 発 明 者 相 沢 良 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

メモリ装置

もので、画像処理などで求められるような一時に大量のデータを必要とする処理にも容易に対応することができるなど、柔軟な拡張性に富むメモリ装置の提供を可能としている。

2. 特許請求の範囲

メモリと、複数のデータバスと、該複数のデータバスの内の1つを選択してメモリに接続する手段とを設け、メモリを増設したとき各メモリをそれぞれ異なるデータバスに接続して同時に書き込みまたは読み出しを行なうごとく制御することを特徴とするメモリ装置。

〔産業上の利用分野〕

本発明は情報処理装置で用いられるメモリに関するもので、特に高速を要求されないときにはデータバスを通常のバス幅と成し、高速性が要求される場合には該バス幅を容易に拡張することの可能なメモリ回路に係る。

3. 発明の詳細な説明

〔概要〕

メモリへのデータの書き込みや読み出しは、従来、一定のバス幅を有するデータバスにより行なっており、バス幅を簡単に拡張することは不可能であった。本発明は入出力用データバスのバス幅を必要に応じて容易に拡張することの可能なメモリ装置の構成に係る技術を開示した

〔従来技術〕

情報処理装置におけるメモリへのデータの書き込みやメモリからのデータの読み出しは入力用のデータバスあるいは出力用のデータバス(入出力が共通のバスを用いる場合もある)を通じて行なわれる。これらのデータバスのバス幅(リード/ライトのビット数)は従来の装置では固定的に一定なものが用いられていて、一回

に書き込んだり読み出したりするデータの量は該データバスのバス幅により定まる大きさを越えることはできない。

情報処理装置の種類によってはメモリを増設して記憶容量の拡張を可能ならしめるように設計されているものも存在するが、この場合もデータバスのバス幅は拡張されることなく一定であり拡張はアドレスの深さ方向に行なわれるものであって、一回にリード／ライトできるデータ量が増加することはない。

[発明が解決しようとする問題点]

情報処理装置を用いて画像処理を行なう場合においては、一時に大量のデータをメモリから高速に読み出すような処理が多くその速度が性能に影響する。

また、最近のように情報処理装置が多様で多彩な使われ方をされる中で、同一のハードウェアをある場合はメモリのアドレス方向の拡張を、またある場合はデータバスのバス幅を拡張して、

択してメモリに接続する手段とを設け、メモリを増設したとき各メモリをそれぞれ異なるデータバスに接続して同時に書き込みまたは読み出しを行なうごとく制御することの特徴とするメモリ装置により達成される。

[作 用]

上記メモリ装置において、データバスのバス幅の拡張を望むときは、複数のメモリをそれぞれ異なる入力用データバスに接続して、これらの入力用データバスを並列的に用いれば良い。これにより実質的なデータバスの拡張が実現され、メモリに対しての大量のデータの書き込みを高速にて実行することができる。

また、データの読み出しに際しては異なる出力用データバスをそれぞれ異なるメモリに接続して、各メモリから同時に読み出したデータを、これらの各出力用データバスに送出すれば良い。このようにデータバスを並列的に用いることにより実質的にバス幅の拡張が成されメモリ内容

大量のデータを短時間にリード／ライトするような構成にするというような条件に柔軟に対応できるメモリ装置の出現が望まれていた。

前述したような従来のメモリ装置においては、メモリを増設してアドレス方向の拡張を行なうことができるものはあったが、この場合でも、データバスのバス幅を拡張することは不可能であり、大量のデータを高速でリード／ライトする要求に応ずるため強いてデータバスのバス幅を拡張しようとするれば周辺回路を作り直すより他に方法がなかった。

本発明はこのような従来の問題点に鑑み、必要に応じてデータバスのバス幅を容易に拡張することの可能なメモリ装置を提供することを目的としている。

[問題点を解決するための手段]

そして、この目的は本発明によれば特許請求の範囲に記載のとおり、メモリと、複数のデータバスと、該複数のデータバスの内の1つを選

びの高速な読み出しが可能となる。また各データバスを独立的に用いれば、通常の一定のバス幅を有するデータバスを持つメモリ装置としての使い方が可能であり、この場合、複数のメモリはアドレス方向へ領域が拡張された形態で使用することができる。

[実 施 例]

第1図は本発明の1実施例のメモリ装置の構成を示す図であって、1はメモリ、2はマルチプレクサ(MPX)、3はデコーダ(DEC)、4はドライバ(DV)、5₁～5_nはそれぞれ1バイトのバス幅を有する入力用データバス、6は上位アドレス用のアドレスバス、7は下位アドレス用のアドレスバス、8₁～8_nはそれぞれ1バイトのバス幅を有する出力用データバスを表している。信号SELMは複数ビットの信号でメモリの有効性を示す情報と共に、マルチプレクサ2あるいはドライバ4に、複数のデータバス5₁～5_nあるいは8₁～8_nの内のいずれのバ

スを選択すべきかを指示する情報を持っている。

このメモリ装置へのアクセスはメモリ装置を識別する上位アドレスとメモリ内アドレスである下位アドレスとにより行なわれる。

上述のメモリ装置を拡張した場合の構成の例を第2図に示す。

第2図において各符号は第1図と同様であり、拡張のため増設したメモリ装置について各符号に' (ダッシュ) を付して表示している。

そして、第2図は入力用および出力用のデータバスをそれぞれ2バイトに拡張した場合を示すものである。すなわち、1バイト目のバスは信号SEL M1の内容により、入力用データバス(Data-In)についてはマルチプレクサ2が、また、出力用データバス(Data-Out)についてはドライバ4がそれぞれ1を選択してメモリ1に接続し、一方、2バイト目のバスは信号SEL M2の内容により、入力用データバス(Data-In)についてはマルチプレクサ2' が、また出力用データバス(Data-Out)については

らかである。

[発明の効果]

本発明のメモリ装置によれば、必要に応じて、データバスのバス幅の拡張が容易に行なえ、またアドレス方向の拡張も行なえるので、利用条件の異なる各種の用途に柔軟に適用し得ると共に拡張性の高い情報処理装置を実現することが可能であるから効果は大きい。

図面の簡単な説明

第1図は本発明の1実施例のメモリ装置の構成を示す図、第2図はメモリ装置を拡張した場合の構成の例を示す図である。

1、1' …メモリ、2、2' …マルチプレクサ、3、3' …デコーダ、4、4' …ドライバ、5₁～5_n…入力用データバス、6…上位アドレス用のアドレスバス、7…下位アドレス用のアドレスバス、8₁～8_n…出力用のデータバス

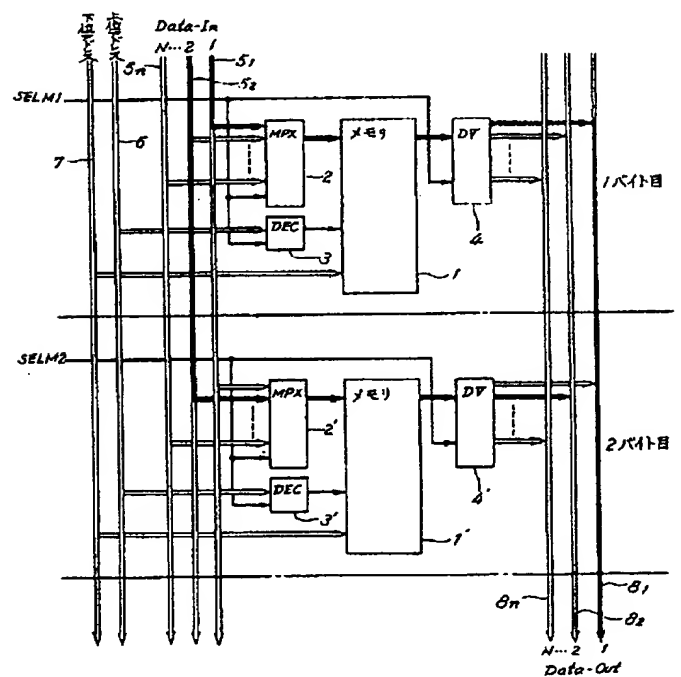
ドライバ4' がそれぞれ2を選択してメモリ1' に接続している。

そして、下位アドレスはデコーダ3あるいはデコーダ3' により該当するメモリへのアクセスが可能な値にデコードされ、これと下位アドレスによって、メモリ1とメモリ1' に同時にアクセスが行なわれる。

このとき、アクセスするメモリおよびデータバスは上述したように、それぞれ異なるものであるから、全く同時にメモリへの書き込みあるいは読み出しが可能であり、これによりデータバスの拡張効果が得られる。

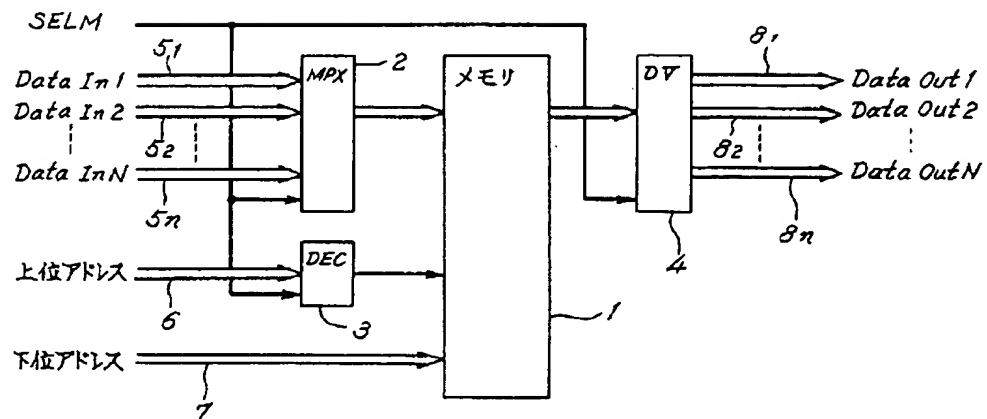
本実施例においてはバス幅を2バイトに拡張した場合について示しているが、図において明らかなようにデータバスに対応してメモリを増設すればNバイトの幅までデータバスを拡張することが可能である。

また、バス幅の拡張を必要としない場合は、メモリの増設により従来と同様なアドレス方向の拡張が行なえることは、図に示す構成より明



メモリ装置を拡張した場合の構成の例を示す図

第2図



本発明の1実施例のメモリ装置の構成を示す図

第 1 図